

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-176178

(43) 公開日 平成11年(1999) 7月2日

(51) Int.Cl.⁸

識別記号

F I

G 1 1 C 16/02

G 1 1 C 17/00

6 4 1

G 0 6 K 19/07

G 0 6 K 19/00

N

G 1 1 C 17/00

6 0 1 B

審査請求 未請求 請求項の数31 O L (全 19 頁)

(21) 出願番号 特願平9-345365

(22) 出願日 平成9年(1997)12月15日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 内貴 唯八

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(72) 発明者 野田 昌敬

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(72) 発明者 安達 徹

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

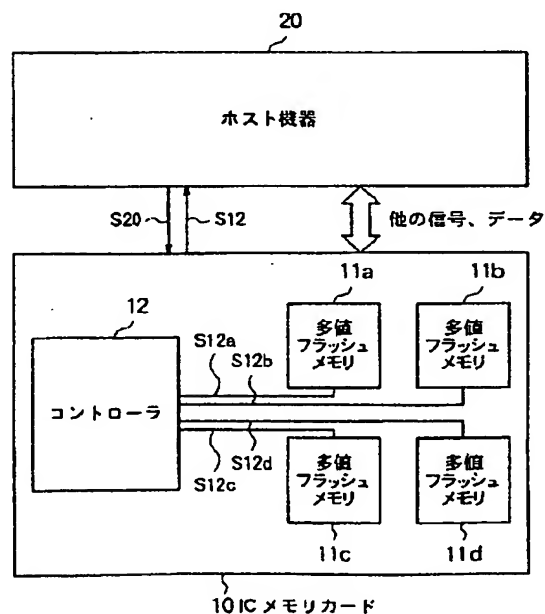
(74) 代理人 弁理士 佐藤 隆久

(54) 【発明の名称】 不揮発性半導体記憶装置およびそれを用いた I C メモリカード

(57) 【要約】

【課題】用途に応じて使用方法の変更が可能で、しかも信頼性の高い不揮発性半導体記憶装置およびそれを用いた I C メモリカードを提供する。

【解決手段】 I C メモリカード 10 は、多値型フラッシュメモリチップ 11 a, 11 b, 11 c, 11 d、およびコントローラ 12 を主構成要素として備え、記憶容量が大きい書き込み/消去速度や繰り返し書き換え保証回数の低下がある使用と、記憶容量が小さい書き込み/消去速度や繰り返し書き換え保証回数の低下がない使用方法、すなわち複数の動作モードを使用用途に応じて任意に設定できるように構成する。



ESN 済

【特許請求の範囲】

【請求項1】 2値または3値以上の多値データを記録可能なメモリセルトランジスタが複数配列されたメモリアレイ領域を有する不揮発性半導体記憶装置であって、上記メモリアレイ領域の少なくとも一部の領域の記録容量を変更して記録可能な手段を有する不揮発性半導体記憶装置。

【請求項2】 上記記録容量を変更可能な手段は、外部信号に応じて記録容量の変更を行う請求項1記載の不揮発性半導体記憶装置。

【請求項3】 2値または3値以上の多値データを記録可能なメモリセルトランジスタが複数配列されたメモリアレイ領域を有する不揮発性半導体記憶装置であって、上記メモリアレイ領域の少なくとも一部の領域の記録すべき多値レベル数を変更して記録容量を変更し、記録可能な手段を有する不揮発性半導体記憶装置。

【請求項4】 上記多値レベル数を変更可能な手段は、外部からの動作モード信号に応じて多値レベル数の変更を行う請求項3記載の不揮発性半導体記憶装置。

【請求項5】 上記動作モードは、記録容量が大きい第1のモードと、記憶容量が小さい第2のモードであり、上記多値レベル数を変更可能な手段は、第1のモード時の多値レベル数を第2の多値レベル数より高く設定する請求項3記載の不揮発性半導体記憶装置。

【請求項6】 上記多値レベル数を変更可能な手段は、外部からの動作モード信号に応じて最大記録容量を変更可能であり、当該最大記録容量に応じて多値レベル数を変更する請求項3記載の不揮発性半導体記憶装置。

【請求項7】 上記多値レベル数を変更可能な手段は、記録領域の部分毎に記録容量の変更を行う場合には、書き込み／消去単位であるブロック毎に当該変更を行う請求項3記載の不揮発性半導体記憶装置。

【請求項8】 ページ単位でデータの書き込み、読み出しを行う請求項3記載の不揮発性半導体記憶装置。

【請求項9】 多値レベル数を変更してもページサイズが一定に保たれるように、多値レベル数を低くした場合には、多値レベル数が高いときにアクセスされる複数行分を1ページとする手段を有する請求項8記載の不揮発性半導体記憶装置。

【請求項10】 複数の動作モードのうちの少なくとも一つの記録容量のモードにおいて、そのモードでの書き込み／消去の繰り返し回数をカウントするカウンタを有する請求項3記載の不揮発性半導体記憶装置。

【請求項11】 上記多値レベル数を変更可能な手段は、記録領域の部分毎に記録容量の変更を行う場合には、書き込み／消去単位であるブロック毎に当該変更を行い、

かつ、ブロック毎に、複数の動作モードのうちの少なくとも一つの記録容量のモードにおいて、そのモードでの書き込み／消去の繰り返し回数をカウントするカウンタ

を有する請求項3記載の不揮発性半導体記憶装置。

【請求項12】 上記多値レベル数を変更可能な手段は、上記カウンタが、そのモードでの繰り返し書き換え保証回数を越えた場合には、記録領域の少なくとも一部の最大記録容量が小さくなるように多値レベル数を低く設定変更する請求項10記載の不揮発性半導体記憶装置。

【請求項13】 上記多値レベル数を変更可能な手段は、上記カウンタが、そのモードでの繰り返し書き換え保証回数を越えた場合には、記録領域の少なくとも一部の最大記録容量を小さくなるように多値レベル数を低く設定変更する請求項11記載の不揮発性半導体記憶装置。

【請求項14】 最大記録容量を小さくなるように多値レベル数を低く設定変更した場合、外部にその変更があった旨を知らせる手段を有する請求項11記載の不揮発性半導体記憶装置。

【請求項15】 最大記録容量を小さくなるように多値レベル数を低く設定変更した場合、外部にその変更があった旨を知らせる手段を有する請求項13記載の不揮発性半導体記憶装置。

【請求項16】 外部装置との間でデータの記録／再生が可能なICメモリカードであって、

2値または3値以上の多値データを記録可能なメモリセルトランジスタが複数配列されたメモリアレイ領域と、上記メモリアレイ領域の少なくとも一部の領域の記録容量を変更して記録可能な手段とを備えた不揮発性半導体記憶装置を有するICメモリカード。

【請求項17】 上記記録容量を変更可能な手段は、外部信号に応じて記録容量の変更を行う請求項16記載のICメモリカード。

【請求項18】 カードに記録容量を設定するための特徴部が形成され、上記外部装置は、上記カードの特徴部に依拠して記録容量を識別し、上記記録容量を変更可能な手段は、外部装置からの信号に応じて記録容量の変更を行う請求項16記載のICメモリカード。

【請求項19】 外部装置との間でデータの記録／再生が可能なICメモリカードであって、

2値または3値以上の多値データを記録可能なメモリセルトランジスタが複数配列されたメモリアレイ領域と、上記メモリアレイ領域の少なくとも一部の領域の記録すべき多値レベル数を変更して記録容量を変更し、記録可能な手段とを備えた不揮発性半導体記憶装置を有するICメモリカード。

【請求項20】 上記記録容量を変更可能な手段は、外部信号に応じて記録容量の変更を行う請求項19記載のICメモリカード。

【請求項21】 上記動作モードは、記録容量が大きい第1のモードと、記録容量が小さい第2のモードであり、

上記多値レベル数を変更可能な手段は、第1のモード時

の多値レベル数を第2の多値レベル数より高く設定する請求項19記載の不揮発性半導体記憶装置。

【請求項22】 カードに記録容量を設定するための特徴部が形成され、

上記外部装置は、上記カードの特徴部に依じて記録容量を識別し、

上記記録容量を変更可能な手段は、外部装置からの信号に応じて記録容量の変更を行う請求項19記載のICメモリカード。

【請求項23】 上記多値レベル数を変更可能な手段は、記録領域の部分毎に記録容量の変更を行う場合には、書き込み/消去単位であるブロック毎に当該変更を行う請求項19記載のICメモリカード。

【請求項24】 ページ単位でデータの書き込み、読み出しを行う請求項19記載のICメモリカード。

【請求項25】 多値レベル数を変更してもページサイズが一定に保たれるように、多値レベル数を低くした場合には、多値レベル数が高いときにアクセスされる複数行分を1ページとする手段を有する請求項24記載のICメモリカード。

【請求項26】 複数の動作モードのうちの少なくとも一つの記録容量のモードにおいて、そのモードでの書き込み/消去の繰り返し回数をカウントするカウンタを有する請求項19記載の不揮発性半導体記憶装置。

【請求項27】 上記多値レベル数を変更可能な手段は、記録領域の部分毎に記録容量の変更を行う場合には、書き込み/消去単位であるブロック毎に当該変更を行い、

かつ、ブロック毎に、複数の動作モードのうちの少なくとも一つの記録容量のモードにおいて、そのモードでの書き込み/消去の繰り返し回数をカウントするカウンタを有する請求項19記載のICメモリカード。

【請求項28】 上記多値レベル数を変更可能な手段は、上記カウンタが、そのモードでの繰り返し書き換え保証回数を越えた場合には、記録領域の少なくとも一部の最大記録容量が小さくなるように多値レベル数を低く設定変更する請求項26記載のICメモリカード。

【請求項29】 上記多値レベル数を変更可能な手段は、上記カウンタが、そのモードでの繰り返し書き換え保証回数を越えた場合には、記録領域の少なくとも一部の最大記録容量を小さくなるように多値レベル数を低く設定変更する請求項27記載のICメモリカード。

【請求項30】 最大記録容量を小さくなるように多値レベル数を低く設定変更した場合、外部にその変更があった旨を知らせる手段を有する請求項28記載のICメモリカード。

【請求項31】 最大記録容量を小さくなるように多値レベル数を低く設定変更した場合、外部にその変更があった旨を知らせる手段を有する請求項29記載のICメモリカード。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、メモリセルに2値または3値以上のデータを記録可能な不揮発性半導体記憶装置およびそれを用いたICメモリカードに関するものである。

【0002】

【従来の技術】フラッシュメモリ等の不揮発性半導体記憶装置においては、1個のメモリセルトランジスタに

「0」、「1」の2つの値をとるデータを記録する2値型のメモリセル構造が通常である。また、最近の半導体記憶装置の大容量化の要望に伴い、1個のメモリセルトランジスタに少なくとも3値以上のデータを記憶する、いわゆる多値型の不揮発性半導体記憶装置が提案されている(たとえば、「A Multi-Level 32Mb Flash Memory」'95 ISSCC p132～参照)。

【0003】このように2値を含む多値データを記録可能な不揮発性半導体記憶装置は、一般的には、いわゆるデータストレージとして用いられる。データストレージ用途のフラッシュメモリは、最近64MビットのNAND型フラッシュメモリ等、大容量のものが出始め、それに伴ってデジタルスチルカメラ等の大容量品の市場も活性化してきている。そして、フラッシュメモリを記憶媒体としたIC(Integrated Circuit)メモリカードが提案され市場に投入されて一部のデジタルスチルカメラに採用されている。

【0004】とことで近年、デジタルスチルカメラにおいては、フラッシュメモリカードが静止画の記録に使われてきているが、今後、音楽記録や動画記録にもその利用が広まってくることが予想される。

【0005】フラッシュメモリカードの大容量化には、フラッシュメモリチップの大容量化が必要であるが、フラッシュメモリの大容量化は、半導体のスケールに加えて、前述した1個のメモリセルに複数のデータ(ビット)を格納するメモリセルの多値化によっても実現されている。

【0006】一般に、メモリセルの多値化を行うとメモリ容量は増大するが、反面、書き込み速度や読み出し速度の低下、繰り返し書き換え保証回数の低下を招く。すなわちこの多値化したフラッシュメモリを使用したフラッシュメモリカードでは、多値化していないフラッシュメモリを使ったフラッシュメモリカードに比べて、書き込み/読み出し速度の低下、繰り返し書き換え保証回数の低下が生じる。

【0007】携帯用パソコンや携帯用情報端末に代表される情報機器においては、これらの機器で利用されるフラッシュメモリカードへの繰り返し書き換え回数は多く、多値化していないフラッシュメモリを搭載したフラッシュメモリカードの使用が適している。繰り返し書き

10

20

30

40

50

換え保証回数としては10万回程度である。

【0008】しかし、一般民生用機器、特に静止画や音楽や動画を記録するAV(Audio Video) 機器においては、フラッシュメモリカードへのデータの繰り返し書き換え回数は少なく、多値フラッシュメモリを搭載したフラッシュメモリカードが使われていくことが予想される。この繰り返し書き換え保証回数は1万回程度以下である。

【0009】多値フラッシュメモリを搭載したフラッシュメモリカードの方が、多値ではないフラッシュメモリを搭載したフラッシュメモリカードに比べてカードの記憶容量が大きくなる、つまりバイト単価が安くなる。以上のように、多値フラッシュメモリを搭載したフラッシュメモリカードは一般民生用機器の使用に適している。

【0010】

【発明が解決しようとする課題】このように今後フラッシュメモリカードは、書き込み/読み出し速度が速く繰り返し書き換え保証回数が多い商品と、書き込み/読み出し速度が遅く繰り返し書き換え回数が少ない商品の2つが用途に応じて使い分けられていくと推測される。

【0011】したがって、ユーザーは用途に応じてどちらかに限定した商品を選択しなければならないという煩雑な手間を要する。また、開発もそれぞれの専用フラッシュメモリカードおよび専用フラッシュメモリチップやこれを制御する専用コントローラの開発が必要となる。

【0012】本発明は、かかる事情に鑑みてなされたものであり、その目的は、用途に応じて使用方法の変更が可能で、しかも信頼性の高い不揮発性半導体記憶装置およびそれを用いたICメモリカードを提供することにある。

【0013】

【課題を解決するための手段】上記目的を達成するため、本発明は、2値または3値以上の多値データを記録可能なメモリセルトランジスタが複数配列されたメモリアレイ領域を有する不揮発性半導体記憶装置であって、上記メモリアレイ領域の少なくとも一部の領域の記録容量を変更して記録可能な手段を有する。

【0014】また、本発明は、2値または3値以上の多値データを記録可能なメモリセルトランジスタが複数配列されたメモリアレイ領域を有する不揮発性半導体記憶装置であって、上記メモリアレイ領域の少なくとも一部の領域の記録すべき多値レベル数を変更して記録容量を変更し、記録可能な手段を有する。

【0015】また、本発明では、上記多値レベル数を変更可能な手段は、外部からの動作モード信号に応じて多値レベル数の変更を行う。

【0016】また、本発明では、上記動作モードは、記録容量が大きい第1のモードと、記憶容量が小さいが第2のモードであり、上記多値レベル数を変更可能な手段は、第1のモード時の多値レベル数を第2の多値レベル

数より高く設定する。

【0017】また、本発明では、上記多値レベル数を変更可能な手段は、外部からの動作モード信号に応じて最大記録容量を変更可能であり、当該最大記録容量に応じて多値レベル数を変更する。

【0018】また、本発明では、上記多値レベル数を変更可能な手段は、記録領域の部分毎に記録容量の変更を行う場合には、書き込み/消去単位であるブロック毎に当該変更を行う。

10 【0019】また、本発明の不揮発性半導体記憶装置は、ページ単位でデータの書き込み、読み出しを行う。

【0020】また、本発明では、多値レベル数を変更してもページサイズが一定に保たれるように、多値レベル数を低くした場合には、多値レベル数が高いときにアクセスされる複数行分を1ページとする手段を有する。

【0021】また、本発明では、複数の動作モードのうちの少なくとも一つの記録容量のモードにおいて、そのモードでの書き込み/消去の繰り返し回数をカウントするカウンタを有する。

20 【0022】また、本発明では、上記多値レベル数を変更可能な手段は、記録領域の部分毎に記録容量の変更を行う場合には、書き込み/消去単位であるブロック毎に当該変更を行い、かつ、ブロック毎に、複数の動作モードのうちの少なくとも一つの記録容量のモードにおいて、そのモードでの書き込み/消去の繰り返し回数をカウントするカウンタを有する。

30 【0023】また、本発明では、上記多値レベル数を変更可能な手段は、上記カウンタが、そのモードでの繰り返し書き換え保証回数を越えた場合には、記録領域の少なくとも一部の最大記録容量が小さくなるように多値レベル数を低く設定変更する。

【0024】また、本発明では、最大記録容量を小さくなるように多値レベル数を低く設定変更した場合、外部にその変更があった旨を知らせる手段を有する。

40 【0025】また、本発明は、外部装置との間でデータの記録/再生が可能なICメモリカードであって、2値または3値以上の多値データを記録可能なメモリセルトランジスタが複数配列されたメモリアレイ領域と、上記メモリアレイ領域の少なくとも一部の領域の記録容量を変更して記録可能な手段とを備えた不揮発性半導体記憶装置を有する。

【0026】また、本発明は、外部装置との間でデータの記録/再生が可能なICメモリカードであって、2値または3値以上の多値データを記録可能なメモリセルトランジスタが複数配列されたメモリアレイ領域と、上記メモリアレイ領域の少なくとも一部の領域の記録すべき多値レベル数を変更して記録容量を変更し、記録可能な手段とを備えた不揮発性半導体記憶装置を有する。

50 【0027】また、本発明では、上記記録容量を変更可能な手段は、外部信号に応じて記録容量の変更を行う。

7

【0028】また、本発明では、上記動作モードは、記録容量が大きい第1のモードと、記録容量が小さい第2のモードであり、上記多値レベル数を変更可能な手段は、第1のモード時の多値レベル数を第2の多値レベル数より高く設定する。

【0029】また、本発明では、カードに記録容量を設定するための特徴部が形成され、上記外部装置は、上記カードの特徴部に応じて記録容量を識別し、上記記録容量を変更可能な手段は、外部装置からの信号に応じて記録容量の変更を行う。

【0030】また、本発明では、上記多値レベル数を変更可能な手段は、記録領域の部分毎に記録容量の変更を行う場合には、書き込み／消去単位であるブロック毎に当該変更を行う。

【0031】また、本発明のICメモリカードにおいては、上記不揮発性半導体記憶装置は、ページ単位でデータの書き込み、読み出しを行う。

【0032】また、本発明では、多値レベル数を変更してもページサイズが一定に保たれるように、多値レベル数を低くした場合には、多値レベル数が高いときにアクセスされる複数行分を1ページとする手段を有する。

【0033】また、本発明では、複数の動作モードのうちの少なくとも一つの記録容量のモードにおいて、そのモードでの書き込み／消去の繰り返し回数をカウントするカウンタを有する。

【0034】また、本発明では、上記多値レベル数を変更可能な手段は、記録領域の部分毎に記録容量の変更を行う場合には、書き込み／消去単位であるブロック毎に当該変更を行い、かつ、ブロック毎に、複数の動作モードのうちの少なくとも一つの記録容量のモードにおいて、そのモードでの書き込み／消去の繰り返し回数をカウントするカウンタを有する。

【0035】また、本発明では、上記多値レベル数を変更可能な手段は、上記カウンタが、そのモードでの繰り返し書き換え保証回数を越えた場合には、記録領域の少なくとも一部の最大記録容量が小さくなるように多値レベル数を低く設定変更する。

【0036】また、発明では、最大記録容量を小さくするように多値レベル数を低く設定変更した場合、外部にその変更があった旨を知らせる手段を有する。

【0037】本発明によれば、外部信号の指定、あるいはICメモリカードに形成された特徴部に基づいて外部装置で記録容量を識別される。そして、記録容量を変更可能な手段により、外部装置からの信号に応じて記録容量が変更される。なお、ICメモリカードの特徴部として、電気的なスイッチにより最大記録容量のモードを変更して可能なもの、あるいはカードの切り欠きの位置や大きさ、カードの穴形状の位置や大きさを示す、使用者が外形変更を自由にできるスライドスイッチにより識別することも含まれる。

8

【0038】また、最大記録容量を変更する際には、カードに搭載されているフラッシュメモリの多値のレベル数がその最大記録容量に応じて変更される。また、記録の部分毎に記録容量の変更を行う場合には、その変更の最小単位としてメモリの書き込み／消去単位であるブロック毎にモードの設定が行われる。そして、記録容量を変更した際に、ページサイズ（たとえば512バイト）が変化しないように複数ページで1ページとする機能が備えられている。

10 【0039】また、たとえばカウンタで少なくとも一つの記憶容量のモードにおいて、そのモードでの書き込み／消去の繰り返し回数がカウントされ、その回数が記録される。そして、そのモードでの繰り返し書き換え保証回数を越えた場合には、その信号が外部装置に送られ、それ以降はモードを設定しているメモリ全体あるいは一部は最大記憶容量を縮小して使用される。

【0040】

【発明の実施の形態】以下、本発明の実施の形態を図面に関連付けて説明する。

20 【0041】図1は、本発明に係る不揮発性半導体記憶装置を用いたICメモリカード（フラッシュメモリカード）システムの一実施形態を示すブロック構成図である。図1に示すように、このICメモリカードシステムは、ICメモリカード10およびICメモリカード10との間でデータの記録／再生が可能なホスト機器20により構成されている。

【0042】ICメモリカード10は、多値型フラッシュメモリチップ11a、11b、11c、11d、およびコントローラ12を主構成要素として備え、記憶容量が大きい書き込み／消去速度や繰り返し書き換え保証回数の低下がある使用と、記憶容量が小さい書き込み／消去速度や繰り返し書き換え保証回数の低下がない使用方法、すなわち複数の動作モードを使用用途に応じて任意に設定できるように構成されている。このICメモリカード10は、ホスト機器20としての情報機器へも、また一般民生用機器へもモード設定の変更のみで適用できる。

【0043】以下、分かりやすくするために、記憶容量が大きい書き込み／消去速度や繰り返し書き換え保証回数の低下がある使用をLP（Long Play）モードと、記憶容量が小さい書き込み／消去速度や繰り返し書き換え保証回数の低下がない使用をSP（Short Play）モードとして説明する。

【0044】本実施形態に係るICメモリカード10におけるモード設定は、図2（a）、（b）に示すように、ICメモリカード10のデータ記憶領域の全体をLPモードまたはSPモードに設定する態様と、図3

（a）、（b）に示すように、ICメモリカード10の記憶領域の部分毎にLPモードまたはSPモードに設定する態様をとることが可能である。そして、記憶領域

50

9

の部分毎にLPモードまたはSPモードに設定する態様の場合、図3(a)に示すように、フラッシュメモリの書き込み/消去単位(ブロック)毎(たとえば、NAND型フラッシュメモリにおいては2値64Mビットフラッシュメモリの場合、8Kバイトが消去単位)にモードを設定する態様と、図3(b)に示すように、搭載したフラッシュメモリチップ毎にモードを設定する態様をとることが可能である。なお、図3(b)に示す例は、フラッシュメモリチップが4チップ搭載されている場合である。

【0045】多値型フラッシュメモリチップ11a~11dは、コントローラ12からの動作モード指定等を含む制御信号S12a~S12dを受けて、多値レベル数を変更してホスト機器20からのデータを記憶し、あるいはデータを読み出す。多値のレベル数の変更としては、たとえば2ビット(4値)/セル⇔1ビット(2値)/セル、3ビット(8値)/セル⇔2ビット(4値)/セル、3ビット(8値)/セル⇔1ビット(2値)/セル等の変更を行うことが可能である。そして、コントローラ12による制御の下、LPモード時には多値のレベル数を高くして記憶容量が大きくなるように制御され、SPモード時には多値のレベル数を低くして記憶容量が小さくなるように制御される。以下、本実施形態では、2ビット(4値)/セル⇔1ビット(2値)/セルの変更する場合を例に説明する。

【0046】図4は、本発明に係るフラッシュメモリチップ11a(~11d)の構成例を示すブロック図である。このフラッシュメモリチップ11は、図4に示すように、メモリアレイ111、メインデコーダ112、サブデコーダ113および多値用ラッチおよびセンスアンプ回路(LS)114により構成されている。

【0047】メモリアレイ111は、データ領域111aおよびスベア領域111bにより構成されており、スベア領域111bには、たとえばデータ領域111aに格納したデータの管理情報が格納される。そして、データ領域111aおよびスベア領域111bは、一つのメインデコーダ112により駆動される。

【0048】図5は、メモリアレイ111およびメインデコーダ112の具体的な構成例を示す回路図である。図5においては、NAND型フラッシュメモリを例に示している。

【0049】図5に示すように、メモリアレイ111は、直列に接続された8個のメモリトランジスタM0~M7およびその両端に直列に接続された2個の選択トランジスタST0、ST1により構成されたメモリストリングSTRG0、STRG1、・・・がマトリクス状に配置されている。そして、たとえばストリングSTRG1がデータ領域111aとして割り当てられ、ストリングSTRG1がスベア領域111bとして割り当てられる。

10

【0050】メモリストリングSTRG0のメモリトランジスタM0のドレインに接続された選択トランジスタST0がビット線BL0に接続され、メモリトランジスタSTRG1のメモリトランジスタM0のドレインに接続された選択トランジスタST0がビット線BL1に接続されている。また、各メモリストリングSTRG0、STRG1のメモリトランジスタM7が接続された選択トランジスタST1が共通のソース線SLに接続されている。

10 【0051】また、同一行に配置されたメモリストリングSTRG0、STRG1のメモリトランジスタのゲート電極が共通のワード線WL0~WL7に接続され、選択トランジスタST0のゲート電極が共通の選択ゲート線DSG0に接続され、選択トランジスタST1のゲート電極が共通の選択ゲート線SSG0に接続されている。

【0052】メインデコーダ112は、メインローデコーダ120、メインローデコーダ120により導通状態が制御される転送ゲート群130、図示しないサブデコーダから供給されるワード線および選択ゲート線用駆動電圧供給線VCG0~VCG7、VD SG、VSSG、並びにメインローデコーダ120に接続されたプログラム電圧Vppの供給線Vpp1により構成されている。

20 【0053】転送ゲート群130は、転送ゲートTW0~TW7、TD0、TS0、並びにTF0により構成されている。具体的には、各転送ゲートTW0~TW7は、それぞれメインローデコーダ120の出力信号BSELに応じてワード線WL0~WL7と駆動電圧供給線VCG0~VCG7とを作動的に接続し、転送ゲートTD0、TS0は同じくメインローデコーダ120の出力信号BSELに応じて選択ゲート線DSG0、SSG0と駆動電圧供給線VD SG、VSSGとを作動的に接続する。また、転送ゲートTF0は、非選択の場合に選択ゲート線DSG0がフローティング状態になること防止するために設けられており、非選択のときに選択ゲート線DSG0を接地ラインに接続する。

30 【0054】また、メインローデコーダ120は、3入力NAND回路NA121、インバータINV121、INV122、2入力NAND回路NA122、デプレッション型NMOSTランジスタNT121、エンハンスメント型NMOSTランジスタNT122(低しきい値電圧)、NT123、およびMOSのソース・ドレインを結合してなるキャパシタC121により構成されている。

40 【0055】NAND回路NA121の3入力端子はアドレスデコード信号X1、X2、X3の入力ラインにそれぞれ接続され、出力端子はインバータINV121の入力端子に接続されている。インバータINV121の出力端子はNAND回路NA122の一方の入力端子、およびインバータINV122の入力端子に接続されて

50

11

いるとともに、ゲートが制御信号の供給端子SEPに接続されたNMOSTランジスタNT121を介してNMOSTランジスタNT122のソースおよびNMOSTランジスタNT123のゲート電極に接続されている。NAND回路NA122の他方の入力端子はクロック信号CLKの入力ラインに接続され、出力端子はキャパシタC121の一方の電極に接続されている。キャパシタC121の他方の電極はNMOSTランジスタNT122のドレインおよびゲート電極に接続され、このドレインとゲート電極との接続点はNMOSTランジスタNT123を介してプログラム電圧供給線Vpp1に接続されている。そして、インバータINV122の出力端子が、転送ゲート群130の転送ゲートTFD0のゲートに接続されている。

【0056】このような構成において、メモリストリングSTRG0、STRG1のメモリトランジスタM3のデータの読み出し、およびメモリトランジスタM3へのデータの書き込みは以下のように行われる。

【0057】読み出し時には、図示しないサブデコードにより駆動電圧供給線VCG3に接地電圧GND(0V)が供給され、駆動電圧供給線VCG0~VCG2、VCG4~VCG7および駆動電圧供給線VDSG、VSSGにP5V(たとえば4.5V)が供給され、プログラム電圧供給線Vpp1にP5Vが供給され、ソース線SLに接地電圧0Vが供給される。そして、メインローデコーダ120にアクティブのアドレス信号X1、X2、X3が入力されて、メインローデコーダ120の出力信号BSELがP5V+αのレベルで出力される。これにより、転送ゲート群130の転送ゲートTW0~TW7、TD0およびTS0が導通状態となる。このとき、転送ゲートTF0は非導通状態に保持される。その結果、メモリストリングSTRG0、STRG1の選択トランジスタST0、ST1が導通状態になり、ビット線BL0、BL1にデータが読み出される。

【0058】書き込み時には、サブデコード13により選択された駆動電圧供給線VCG3に高電圧、たとえば20Vが供給され、駆動電圧供給線VCG0~VCG2、VCG4~VCG7に中間電圧(たとえば10V)、駆動電圧供給線VDSGに電源電圧Vcc(たとえば3.3V)、駆動電圧供給線VSSGに接地電圧GNDが供給され、プログラム電圧供給線Vpp1にたとえば20Vが供給される。また、書き込みを行うべきメモリトランジスタM3を有するメモリストリングSTRG0が接続されたビット線BL0に接地電圧GND、書き込みを禁止すべきメモリトランジスタM3を有するメモリストリングSTRG1が接続されたビット線BL1に電源電圧Vccが印加される。そして、メインローデコーダ120にアクティブのアドレス信号X1、X2、X3が入力されて、メインローデコーダ120の出力信号BSELが20V+αのレベルで出力される。これによ

12

り、転送ゲート群130の転送ゲートTW0~TW7、TD0およびTS0が導通状態となる。その結果、選択ワード線WL3に書き込み電圧20Vが、非選択のワード線WL0~WL2、WL4~WL7にバス電圧(中間電圧)Vpass(たとえば10V)が印加される。

【0059】これにより、メモリストリングSTRG1の選択トランジスタST0がカットオフ状態となり、書き込みを禁止すべきメモリトランジスタが接続されたメモリストリングSTRG1のチャンネル部はフローティング状態となる。その結果、これらのチャンネル部の電位は、主として非選択ワード線に印加されるバス電圧Vpassとのキャパシタカップリングによりブーストされ、書き込み禁止電圧まで上昇し、メモリストリングSTRG1のメモリトランジスタM3へのデータ書き込みが禁止される。一方、書き込みをすべきメモリトランジスタが接続されたメモリストリングSTRG0のチャンネル部は接地電圧GND(0V)に設定され、選択ワード線WL3に印加された書き込み電圧20Vとの電位差により、メモリトランジスタM3へのデータの書き込みがなされ、しきい値電圧が正方向にシフトして、たとえば消去状態の-3Vから2V程度になる。

【0060】サブデコード113は、記憶容量が大きい書き込み/消去速度や繰り返し書き換え保証回数の低下がある使用を行う場合にはコントローラ12からLPモード動作である旨を指示する制御信号SLP(S12a~S12d)、または、多値用ラッチおよびセンスアンプ回路として動作し、記憶容量が小さい書き込み/消去速度や繰り返し書き換え保証回数の低下がない使用を行う場合にはコントローラ12からSPモード動作である旨を指示する制御信号SSP(S12a~S12d)を受けて、動作モードに応じた駆動電圧をメインデコード112に供給する。

【0061】2値/多値兼用ラッチおよびセンスアンプ回路(LS)114は、記憶容量が大きい書き込み/消去速度や繰り返し書き換え保証回数の低下がある使用を行う場合にはコントローラ12からLPモード動作である旨を指示する制御信号SLP(S12a~S12d)を受けて、多値用ラッチおよびセンスアンプ回路として動作し、記憶容量が小さい書き込み/消去速度や繰り返し書き換え保証回数の低下がない使用を行う場合にはコントローラ12からSPモード動作である旨を指示する制御信号SSP(S12a~S12d)を受けて、2値用ラッチおよびセンスアンプ回路として動作する。

【0062】図6は、この2値/多値兼用ラッチおよびセンスアンプ回路(LS)114の具体的な構成例を示す回路図である。図6においては、NAND型フラッシュメモリを例に示している。

【0063】2値/多値兼用ラッチおよびセンスアンプ回路114は、図6に示すように、NMOSTランジス

13

タNT1401~NT1422、PMOSTランジスタPT1401、PT1402、インバータINV1401、およびインバータの入出力同士を結合してなるラッチ回路Q141、Q142により構成されている。

【0064】NMOSTランジスタNT1401は電源電圧V_{cc}の供給ラインとビット線BLD0との間に接続され、ゲート電極が禁止信号IHB1の供給ラインに接続されている。NMOSTランジスタNT1402は電源電圧V_{cc}の供給ラインとビット線BLD1との間に接続され、ゲート電極が禁止信号IHB2の供給ラインに接続されている。ビット線BLD0およびNMOSTランジスタNT1401の接続点とメモリストリングSTRGD0およびビット線BLD0との接続点との間にはデプレッション型のNMOSTランジスタNT1423が接続され、ビット線BLD1およびNMOSTランジスタNT1402の接続点とメモリストリングSTRGD1およびビット線BLD1との接続点との間にはデプレッション型のNMOSTランジスタNT1424が接続されている。そして、NMOSTランジスタNT1423、NT1424のゲートはデカップル信号供給線DCPLに接続されている。

【0065】ビット線BLD0およびNMOSTランジスタNT1401の接続点とバスラインIOiとの間にNMOSTランジスタNT1403、NT1405、NT1419が直列に接続され、ビット線BLD1およびNMOSTランジスタNT1402の接続点とバスラインIOi+1との間にNMOSTランジスタNT1404、NT1406、NT1420が直列に接続されている。

【0066】NMOSTランジスタNT1403とNT1405の接続点からなるノードSA1はNMOSTランジスタNT1407を介して接地されるとともに、PMOSTランジスタPT1401のドレインに接続され、さらにNMOSTランジスタNT1418を介してNMOSTランジスタNT1408のゲート電極に接続されている。また、NMOSTランジスタNT1404とNT1406の接続点からなるノードSA2はPMOSTランジスタPT1402のドレインおよびNMOSTランジスタNT1413のゲート電極に接続されている。ノードSA1とノードSA2はNMOSTランジスタNT1416を介して接続され、NMOSTランジスタNT1413のゲート電極とNMOSTランジスタNT1408のゲート電極とがNMOSTランジスタNT1417を介して接続されている。

【0067】そして、NMOSTランジスタNT1407のゲートがリセット信号RSTの供給ラインに接続され、PMOSTランジスタPT1401のソースが電源電圧V_{cc}の供給ラインに接続され、PMOSTランジスタPT1401のゲートが信号Vref1の供給ラインに接続されている。また、PMOSTランジスタPT1402のソースが電源電圧V_{cc}の供給ラインに接続され、PMOSTランジスタPT1402のゲートが信号Vref2の供給ラインに接続されている。さらに、NMOSTランジスタNT1416、

14

NT1417のゲート電極がLPモード信号(多値)信号SLPの供給ラインに接続され、NMOSTランジスタNT2418のゲート電極がSPモード信号SSPの供給ラインに接続されている。

【0068】ラッチ回路Q141の第1の記憶ノードN141aがNMOSTランジスタNT1405とNT1419との接続点に接続され、第2の記憶ノードN141bが直列に接続されたNMOSTランジスタNT1408~NT1410を介して接地されている。ラッチ回路Q142の第1の記憶ノードN142aがNMOSTランジスタNT1406とNT1420との接続点に接続され、第2の記憶ノードN142bが直列に接続されたNMOSTランジスタNT1413~NT1415を介して接地されている。また、NMOSTランジスタNT1408とNT1409の接続点が直列に接続されたNMOSTランジスタNT1411、NT1412を介して接地されている。NMOSTランジスタNT1409のゲートはラッチ回路Q142の第1の記憶ノードN142aに接続され、NMOSTランジスタNT1410のゲートはラッチ信号φLAT2の供給ラインに接続され、NMOSTランジスタNT1411のゲートが第2の記憶ノードN142bに接続され、NMOSTランジスタNT1412のゲートがラッチ信号φLAT1の供給ラインに接続され、NMOSTランジスタNT1414、NT1415のゲートがラッチ信号φLAT3の供給ラインに接続されている。そして、カラムゲートとしてのNMOSTランジスタNT1419のゲートが信号Yiの供給ラインに接続され、NMOSTランジスタNT1420のゲートが信号Yi+1の供給ラインに接続されている。

【0069】さらに、インバータINV1401の入力端子が接地され、出力端子が判定回路141に接続されている。また、インバータINV1401の出力端子と接地ラインとの間にNMOSTランジスタNT1421およびNT1422が並列に接続されている。そして、NMOSTランジスタNT1421のゲート電極が第1のラッチ回路Q141の第2の記憶ノードN141bに接続され、NMOSTランジスタNT1422のゲート電極が第2のラッチ回路Q142の第2の記憶ノードN142bに接続されている。

【0070】判定回路141は、書き込み動作時に、全てのメモセルトランジスタに対して書き込みが終了したか否かを、インバータINV1401の出力ラインの電位で判定し、書き込みが終了したものと判定したときは、サブデコーダ113に終了信号SENDを出力する。具体的には、書き込みが完了すると各ラッチ回路Q141、Q142の第1の記憶ノードN141a、142aが電源電圧V_{cc}レベルになり、第2の記憶ノードN141b、142bが接地レベルになる。その結果、NMOSTランジスタNT1421、NT1422が非導通状態に保持されてインバータINV2401の出力ラインの電位が電源電圧V_{cc}レベルになり、これにより書き込みが終了したも

15

のと判定する。一方、書き込みが十分でないセルがある場合には、各ラッチ回路Q141、Q142の第1の記憶ノードN141a、142aのいずれか、あるいは全てが接地レベルになり、第2の記憶ノードN141b、142bが電源電圧V_{cc}レベルになる。その結果、NMOSTランジスタNT141またはNT142、あるいは両トランジスタが導通状態に保持されてインバータINV140の出力ラインの電位が接地レベルになり、これにより書き込みが不十分なセルがあるものと判定する。

【0071】ここで、2値/多値兼用ラッチおよびセンサンプ回路114の読み出しおよび書き込み（プログラム）時の動作の一例について、図7、図8、図9、図10に関連付けて説明する。図7は4値の読み出し時のタイミングチャートを示し、図8は4値の書き込み（プログラム）時のタイミングチャートを示している。また、図9は2値の読み出し時のタイミングチャートを示し、図10は2値の書き込み（プログラム）時のタイミングチャートを示している。なお、図8からわかるように、本例の4値の書き込みは3ステップで行い、本来は各ステップでページ単位に書き込みを行うすべてのセルが書き込み十分と判断された段階で次のステップに移行する。しかし、本発明はこの書き込み方法に限定されるものではない。

【0072】まず、4値のデータの読み出しあるいは書き込みを行う場合には、LPモード信号信号SLPがアクティブのハイレベルで入力され、SPモード信号SSPはローレベルの入力される（図7および図8には図示せず）。これにより、NMOSTランジスタNT1416、NT1417が導通状態となり、NMOSTランジスタNT1418は非導通状態に保持され、ノードSA1とSA2とが電氣的に接続され、ノードSA1の電位はNMOSTランジスタNT1408のゲート電極へはNMOSTランジスタNT1418を介して直接伝達されない。

【0073】4値の読み出し動作について説明する。まず、リセット信号RSTと信号PGM1、PGM2がハイレベルに設定される。これにより、ラッチ回路Q141、Q142の第1の記憶ノードN141a、N142aが接地レベルに引き込まれる。その結果、ラッチ回路Q141、Q142がクリアされる。次に、ワード線電圧をたとえば2.4Vとして読み出しが行われる。しきい値電圧V_{th}がワード線電圧（2.4V）より高ければセル電流が流れないことによりビット線電圧はプリチャージ電圧を保持し、ハイがセンスされる。一方、しきい値電圧V_{th}がワード線電圧（2.4V）より低ければセル電流が流れることによりビット線電圧は降下し、ローがセンスされる。次に、たとえばワード線電圧1.2Vで読み出しが行われ、最後にワード線電圧0Vで読み出しが行われる。そして、3回読み出しを行って2ビットのデータとしたあとIOに出力する。

【0074】具体的にはセルデータが"00"の場合、

16

全てのワード線で電流が流れないため、バスIO₁₁、IO₁には（1, 1）が出力される。まず、ワード線電圧を2.4Vにして読むとき、ラッチ信号φLAT1がハイレベルに設定される。このとき、セル電流が流れないことによりビット線はハイレベルに保たれるためNMOSTランジスタNT1408が導通状態に保たれ、ラッチ回路Q142がクリアされていることによりラッチ回路Q142の第2の記憶ノードN142bがハイレベルに保たれるためNMOSTランジスタNT1411が導通状態に保たれる。したがって、NMOSTランジスタNT1408、NT1411、NT1412が導通状態に保持され、ラッチ回路Q141の第2の記憶ノードN141bが接地レベルに引き込まれ、ラッチ回路Q141の第1の記憶ノードN141aはハイレベルに遷移する。次に、たとえばワード線電圧を1.2Vにして読むとき、ラッチ信号φLAT3がハイレベルに設定される。この時、セル電流が流れないことによりビット線はハイレベルに保たれるためNMOSTランジスタNT1413が導通状態に保たれ、ラッチ回路Q142の第2の記憶ノードN142bが接地レベルに引き込まれ、ラッチ回路Q142の第1の記憶ノードN142aはハイレベルに遷移する。最後にワード線電圧を0Vにして読むとき、ラッチ信号φLAT1がハイレベルに設定される。この時、セル電流が流れないことによりビット線はハイレベルに保たれるためNMOSTランジスタNT1408が導通状態に保たれるが、ラッチ回路Q142の第2の記憶ノードN142bがローレベルのためNMOSTランジスタNT1411が非導通状態となり、ラッチ回路Q141の第1の記憶ノードN141aはハイレベルを保持する。

【0075】セルデータが"01"の場合、所定のワード線電圧の場合のみ電流が流れ、バスIO₁₁、IO₁には（1, 0）が出力される。まず、ワード線電圧を2.4Vにして読むとき、ラッチ信号φLAT1がハイレベルに設定される。このとき、セル電流が流れることによりビット線はローレベルに保たれるためNMOSTランジスタNT1408が非導通状態に保たれ、ラッチ回路Q141の第1の記憶ノードN141aはローレベルを保持する。次にワード線電圧を1.2Vにして読むとき、ラッチ信号φLAT3がハイレベルに設定される。この時、セル電流が流れないことによりビット線はハイレベルに保たれるためNMOSTランジスタNT1413が導通状態に保たれ、ラッチ回路Q142の第2の記憶ノードN142bが接地レベルに引き込まれ、ラッチ回路Q142の第1の記憶ノードN142aはハイレベルに遷移する。最後にワード線電圧を0Vにして読むとき、ラッチ信号φLAT1がハイレベルに設定される。この時、セル電流が流れないことによりビット線はハイレベルに保たれるためNMOSTランジスタNT1408が導通状態に保たれるが、ラッチ回路Q142の第2の記憶ノードN142bがローレベルのためNMOSTランジスタ

17

タNT1411が非導通状態となり、ラッチ回路Q141の第1の記憶ノードN141aはローレベルを保持する。セルデータが“10”、“11”の場合も同様にして各々バスIO₁₁、IO₁には(0, 1)、(0, 0)が読み出される。

【0076】次に、書き込み動作について説明する。図6の回路においては、まず、ラッチ回路Q141に格納されているデータによって書き込みが行われ、次にラッチ回路Q142、最後に再びラッチ回路Q141のデータによって書き込みが行われる。書き込みデータが(Q2, Q1) = (1, 0)の場合はラッチ回路Q141は書き込み十分となると“0”から“1”に反転するが、(Q2, Q1) = (0, 0)の場合はラッチ回路Q141は3ステップ目の書き込みデータとしても使用する必要があるため第1ステップで書き込み十分となっても“0”から“1”に反転しない(できない)。

【0077】各ステップでの書き込み終了判定は、ラッチされているデータが全て“1”となった段階でそのステップの書き込み終了と判定する。書き込みデータ(Q2, Q1) = (0, 0)のセルは、第1ステップでのラッチ回路Q141の反転は起こらないからワイヤードORによる終了判定は行われない。

【0078】2値のデータの読み出しあるいは書き込みを行う場合には、SPモード信号SSPがアクティブのハイレベルで入力され、LPモード信号SLPはローレベルで入力される(図7および図8には図示せず)。これにより、NMOSトランジスタNT1418は導通状態に保持され、NMOSトランジスタNT1416、NT1417が非導通状態となり、ノードSA1とSA2とが電氣的に非接続状態となる。そして、ノードSA1の電位はNMOSトランジスタNT1408のゲート電極へはNMOSトランジスタNT1418を介して直接伝達される。また、A1¹ / “/A1”が全選択(ともにV_{cc})、IHB1¹、“IHB2”がともにGNDに固定されることにより、ビット線とデータラッチが1対1の関係になり2値動作が可能となる。ここでは、2値時の読み出しおよび書き込みの詳細な説明は省略する。

【0079】また、読出/ペリファイの制御は信号φLAT3をハイレベルに設定することによりノードSA2の電位がラッチ回路Q142に反映され、信号φLAT1、φLAT2を同時にハイレベルに設定することによりNMOSトランジスタNT1411、NMOSトランジスタNT1409のどちらかが導通状態になり、ノードSA1の電位がラッチ回路Q141に反映される。

【0080】以上のようにして、たとえば本実施形態の不揮発性半導体記憶装置がICメモリカードに適用された場合には、ICメモリカードの仕様を変えないで2値フラッシュメモリと置き換え可能な多値フラッシュメモリが実現される。

【0081】コントローラ12は、たとえばホスト機器

18

20から送信されるLP/SPモードに切り換えるためのモード切換信号S20を受けて、LPモードまたはSPモードに応じた制御信号S12a~S12dをフラッシュメモリチップ12a~212dに出力して、ホスト機器20と各フラッシュメモリチップ12a~12dとのデータの授受、すなわち書き込み(および消去)動作または読み出し動作の制御を行う。また、コントローラ12は、ホスト機器20に対して現在ICメモリカード10がLP/SPのいずれのモードに設定されているかを知らせるためのモード識別信号S12を出力する。

【0082】LP/SPモード切換信号S20は、ホスト機器20が両者のモードに対応していれば、ホスト機器20の使用者が随時にコマンドとしてICメモリカード10へ送ることができる。また、ホスト機器20がどちらかのモードに限定されていれば、自動的にホスト機器20からICメモリカード10へモード切換信号S20が出され特定のモードでのみ使用される。そして、ICメモリカード10からは、モード識別信号S12がホスト機器へ出されることにより、ホスト機器20はそのモードに応じたデータの処理(読み出し動作等)を行う。また、コントローラ12は、データ読み出し時には、多値フラッシュメモリの多値レベル数を制御する制御信号S12a~12dにより2値/多値のデータラッチの切り換えやページサイズを常に一定する処理を行う。

【0083】そして、コントローラ12は、ICメモリカード10へ設定されたモードは、ICメモリカードのいずれかの個所に記憶されていなければならないが、このモードデータの記憶は、たとえば図11(a)~(c)に示すような方法で行われる。

【0084】図11(a)に示す方法は、フラッシュメモリの書き込み/読み出し単位であるページ単位毎にモードを記憶する方法である。具体的には、ページ内のスベア(管理)領域(NAND型フラッシュメモリでは予備(冗長)領域)111bの1バイトがこの記憶にあてられる。

【0085】図11(b)に示す方法は、フラッシュメモリの特定領域(ブロック)にモードデータを集中して記憶する方法である。

【0086】図11(c)に示す方法は、EEPROM等の不揮発性メモリをコントローラ12にオンチップさせて、このEEPROM上に設定モードを記憶する方法である。この記憶されるモードデータは、ICメモリカード10全体のモードデータ、あるいはフラッシュメモリの最小単位(ブロック)毎のモードデータが集散的に記憶される。なお、EEPROM等の不揮発性メモリはコントローラ12と別チップ構成とすることも可能である。

【0087】以上の方法をとることにより、ICメモリカード10には、図3を参照して説明したように、LP

50

／SPモード混在とすることが可能である。また、コントローラ12は、記録容量を変更した際に、多値レベル数を変更してもページサイズが一定に保たれるように、多値レベル数を低くした場合には、多値レベル数が高いときにアクセス（書き込み／読み出し）される複数行分を1ページとするように制御する。具体的には、コントローラ12は、たとえば、4値を2値とした場合は、4値でアクセスされる2行分を2値での1ページとするように制御する。

【0088】次に、図1に示すシステムの動作を説明する。ICメモリカード10がホスト機器20に対してセットされると、たとえばICメモリカード10のコントローラ12から、図11に示すような方法によって記憶されているモードデータが読み出されて、設定されているモードを示すモード識別信号S12がホスト機器20に出力される。

【0089】ホスト機器20側からは、たとえばモード識別信号S12を受けて、ホスト機器20の使用者が所望するLPモードまたはSPモードでデータの記録を行うように、モード切換信号S20がICメモリカード10に送出される。また、モード切換信号S20によって、ICメモリカード10の全体あるいは一部をLP／SPモードで使用するかどうかの指示も行われる。そして、モード切換信号S20を受けたICメモリカード10では、コントローラ12の制御の下、所定の方法によりモードデータの記録が行われる。

【0090】なお、LP／SPモード切換信号S20は、ホスト機器20が両者のモードに対応していれば、ホスト機器20の使用者によって、随時にコマンドとしてICメモリカード10へ送られる。また、ホスト機器20がどちらかのモードに限定されていれば、自動的にホスト機器20からICメモリカード10へモード切換信号S20が出され特定のモードでのみ使用される。

【0091】そして、ICメモリカード10においては、モード識別信号S12で指定されたモードに応じたデータの処理（読み出し動作等）が行われる。LP／SPモードに応じた各フラッシュメモリチップ11a～11dにおける書き込み、読み出し動作は、既に図4～図10に関連付けて説明したように行われる（ここではその詳細な説明は省略する）。

【0092】以上説明したように、本実施形態によれば、ICメモリカード10全体、あるいは部分毎に最大記憶容量を変化させることができ、書き込み／読み出し速度が速いあるいは繰り返し書き換え保証回数が要求される用途では最大記憶容量が小さいモードとし、一方書き込み／読み出し速度が遅いあるいは繰り返し書き換え保証回数が要求されない用途では最大記憶容量が大きいモードとするように構成したので、同一のICメモリカード10が用途によって使用方法の変更が可能となる利点がある。

【0093】なお、本実施形態では、モードの切り換えをホスト機器20とのコマンドの授受で行うように構成したが、ICメモリカード10全体でLPモードまたはSPモードで使用する目的のみの場合には、たとえば図12に示すような方法を用いて、カード外形の一部に特徴づけることにより、LPモード専用カードあるいはSPモード専用カードとすることも可能である。この場合には、ホスト機器20は、ICメモリカード10から送出されるモード識別信号S12に基づいてモード識別を行うのではなく、ICメモリカード10に対してモード識別を行う。

【0094】図12（a）に示す方法は、ICメモリカード10の周辺部にスライドスイッチ10aを設け、このスライドスイッチ10aに位置で、LPモード専用カードであるかSPモード専用カードであるかを識別する方法である。

【0095】図12（b）に示す方法は、ICメモリカード10の周辺部に穴やくぼみ10bを設け、この穴やくぼみ10bの位置や有無でLPモード専用カードであるかSPモード専用カードであるかを識別する方法である。

【0096】図12（c）に示す方法は、ICメモリカード10の周辺部に切り欠き10cを設け、この切り欠き10cの位置や有無でLPモード専用カードであるかSPモード専用カードであるかを識別する方法である。

【0097】図12（d）に示す方法は、ICメモリカード10の周辺部に電氣的なオン／オフスイッチ10dを設け、このオン・オフスイッチ10dの設定に応じたオン／オフ信号により、LPモード専用カードであるかSPモード専用カードであるかを識別する方法である。

【0098】また、LPモードでの繰り返し書き換え回数はSPモードよりも少なく、LPモードでの書き換え保証回数（たとえば10000回）を越えた場合には、その後はSPモードのみで使用する機能を持たせることも可能である。具体的には、ICメモリカード10のコントローラ12のオンチップあるいは別のチップに書き換え回数用のカウンタを設け、このカウント値があらかじめ設定したLPモードでの保証値を越えた場合には、それ以降はSPモードにて使用する。

【0099】図13は、この書き換え保証回数に基づくLP／SPモード切り換え処理を示すフローチャートである。この例では、消去命令を受けて切り換え判定処理を行う例である。

【0100】図13の例出は、当初は記憶容量の大きいLPモードで使用し（S1）、ホスト機器20からの消去命令を受けて、カウンタのカウント値がコントローラ12により読み取られる（S2、S3）。

【0101】コントローラ12においては、読み取ったカウント値があらかじめ設定されている書き換え保証回数を越えているかどうかの判別が行われる（S4）。ステ

10

20

30

40

50

21

ップS4において、カウント値が書き換え保証回数を越えていないと判別した場合には、フラッシュメモリチップに対する消去動作が行われ（S5）、カウンタが+1だけインクリメントされ（S6）、次の動作へ移行する（S7）。

【0102】一方、ステップS4において、カウント値が書き換え保証回数を越えていると判別した場合には、今後SPモードでしか書き込みができないことを、ホスト機器20側へ警告信号を送出するとともに、消去するか否かを問う（S8）。

【0103】ステップS8において、消去を行う場合には消去動作を行って、消去したブロックをSPモードに固定して、次の動作に移行する（S9～S11）。一方、ステップS8において、消去を行わないには消去動作を行わないで、次の動作に移行する（S12、S13）。

【0104】このように、LPモードでの繰り返し書き換え回数はSPモードよりも少なく、LPモードでの書き換え保証回数を越えた場合には、その後はSPモードのみで使用する機能を持たせることにより、用途に応じて使用方法を変更できるとともに、信頼性の高いICメモリカードを実現できる利点がある。

【0105】なお、カウンタは、書き込み／消去単位であるブロック毎にモード設定を行う場合には、ブロック毎に設けられる。

【0106】以上の説明では、いわゆるAV (Audio Video) 機器に用いられるLP/SPモードを例に説明したが、本発明が他の機器や他のモードに対しても適用可能であることは勿論である。たとえばLP/SPの2つのモードを切り換えるだけでなく、3つ以上のモード切り換えも可能である。具体的には、フラッシュメモリが3ビット（8値）の場合、第1モードが3ビット（8値）／セルで使用、第2モードが2ビット（4値）／セルで使用、第3モードが1ビット（2値）／セルで使用、であるように構成することも可能である。また、ICメモリカード以外にも適用可能であることはいうまでもない。

【0107】

【発明の効果】以上説明したように、本発明によれば、目的用途によって使用方法の変更が可能となる利点がある。また、多値レベル数の高いモードでの書き換え保証回数を越えた場合には、さらに多値レベル数の低いモー

22

ドで使用することができ、用途に応じて使用方法を変更できるとともに、信頼性の向上を図れる。さらに、同一のICメモリカードでカード外形の一部の変更によりモードを固定した商品設定ができる。

【図面の簡単な説明】

【図1】本発明に係る不揮発性半導体記憶装置を用いたICメモリカード（フラッシュメモリカード）システムの一実施形態を示すブロック構成図である。

【図2】ICメモリカードのデータ記憶領域の全体をLPモードまたはSPモードに設定する態様を説明するための図である。

【図3】ICメモリカードの記憶領域の部分毎にLPモードまたはSPモードに設定する態様を説明するための図である。

【図4】本発明に係るフラッシュメモリチップの構成例を示すブロック図である。

【図5】図4のメモリアレイおよびメインデコーダの具体的な構成例を示す回路図である。

【図6】2値／多値兼用ラッチおよびセンスアンプ回路の具体的な構成例を示す回路図である。

【図7】図6の回路の4値読み出し時の動作を説明するためのタイミングチャートである。

【図8】図6の回路の4値プログラム時の動作を説明するためのタイミングチャートである。

【図9】図6の回路の2値読み出し時の動作を説明するためのタイミングチャートである。

【図10】図6の回路の2値プログラム時の動作を説明するためのタイミングチャートである。

【図11】モードデータの記録方法を説明するための図である。

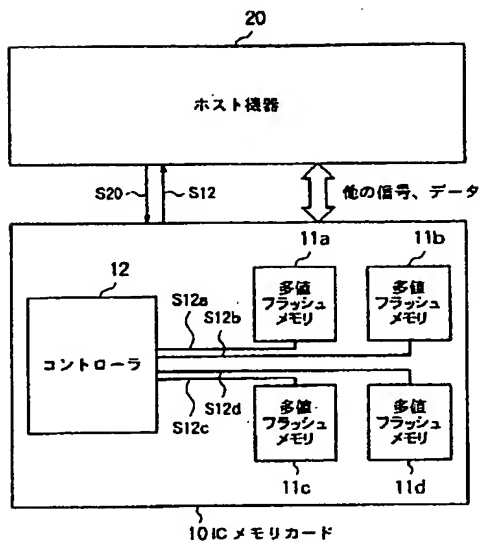
【図12】カード外形の一部に特徴つけることにより、LPモード専用カードあるいはSPモード専用カードとする方法を説明するための図である。

【図13】この書き換え保証回数に基づくLP/SPモード切り換え処理を示すフローチャートである。

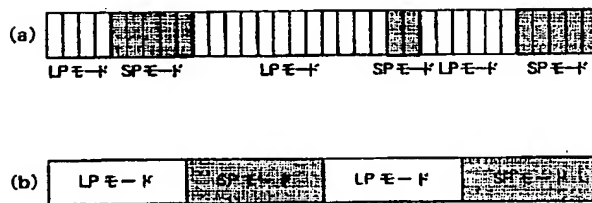
【符号の説明】

10…ICメモリカード、11a～11d…フラッシュメモリチップ、12…コントローラ、20…ホスト機器、111…メモリアレイ、111a…データ領域用、111b…スベア領域、112…メインデコーダ、113…サブデコーダ、114…2値／多値兼用ラッチおよびセンスアンプ回路（LS）。

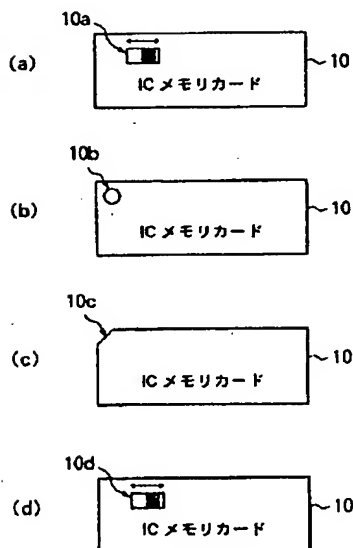
【図 1】



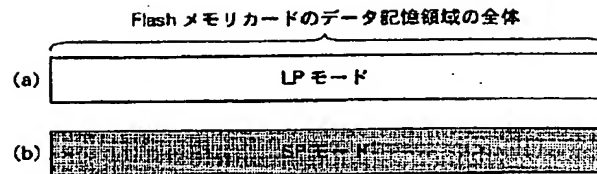
【図 3】



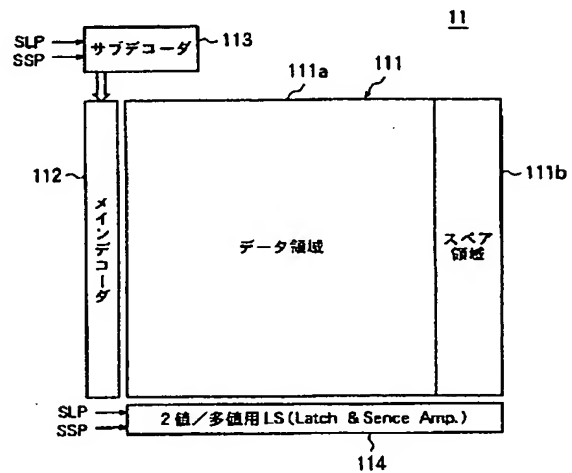
【図 12】



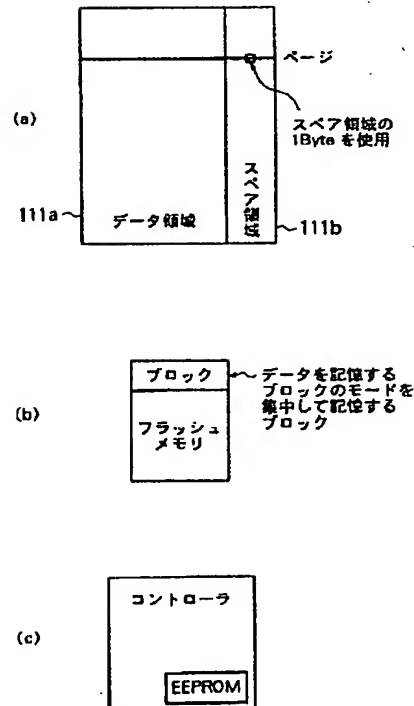
【図 2】



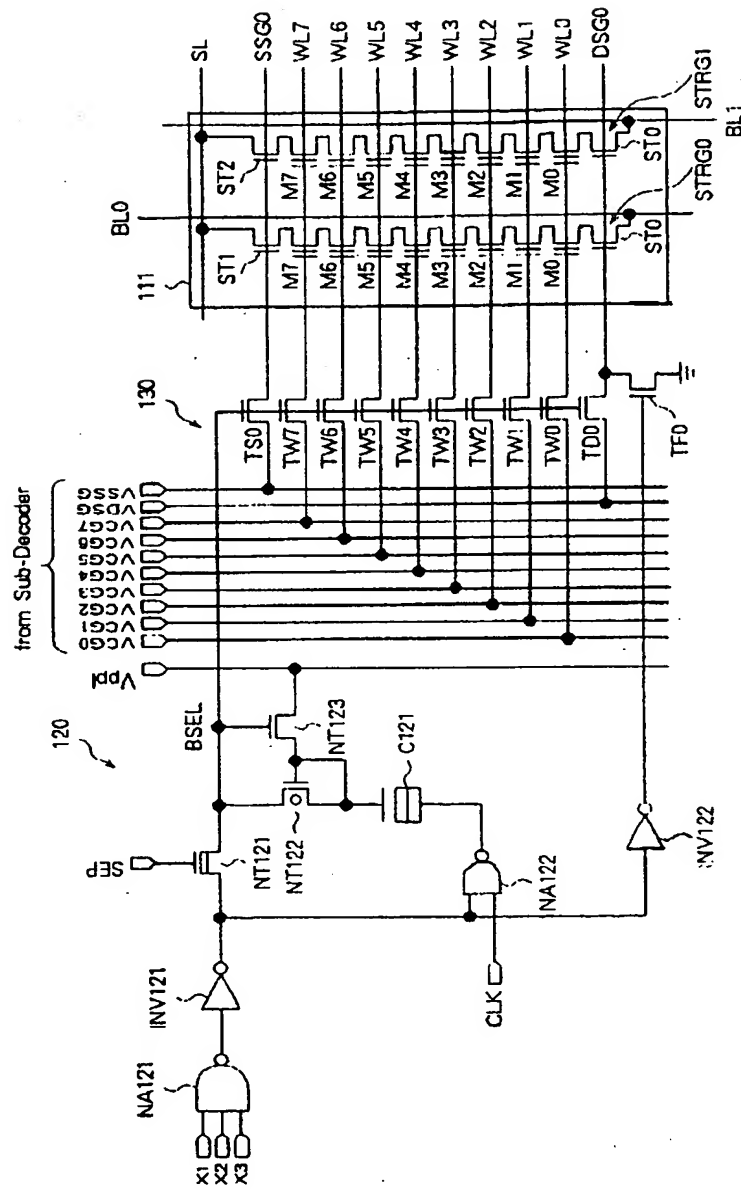
【図 4】



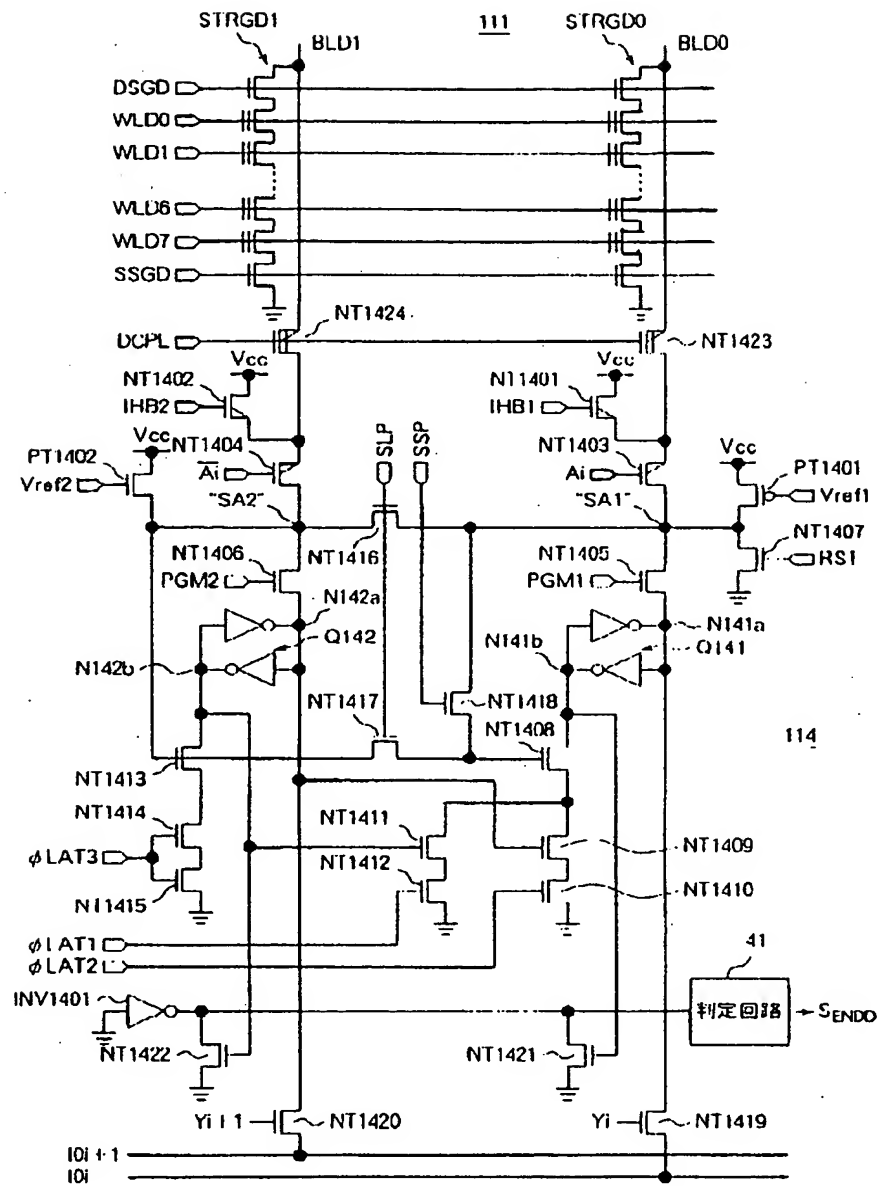
【図 11】



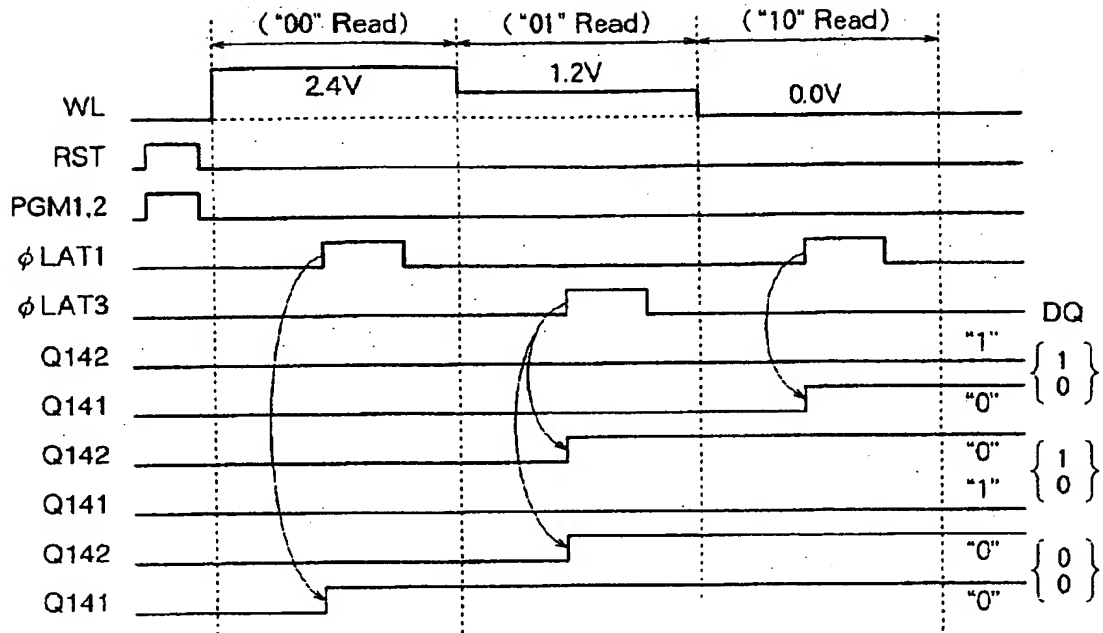
【図5】



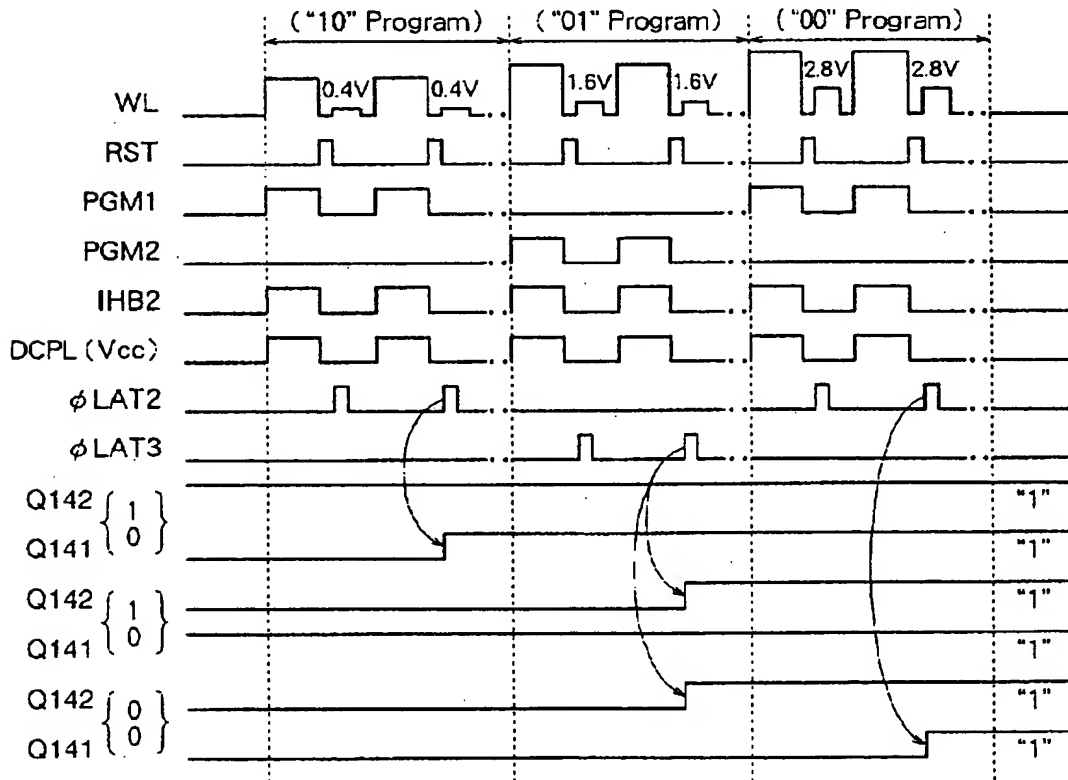
【図6】



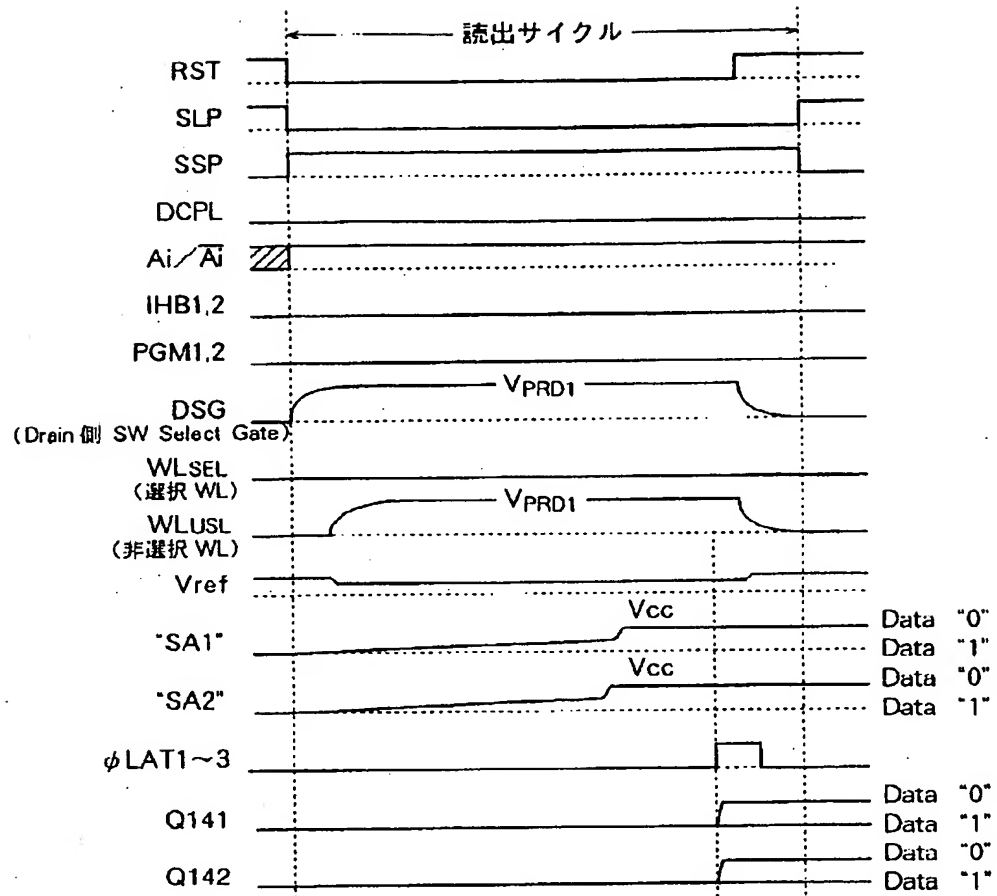
【図7】



【図8】

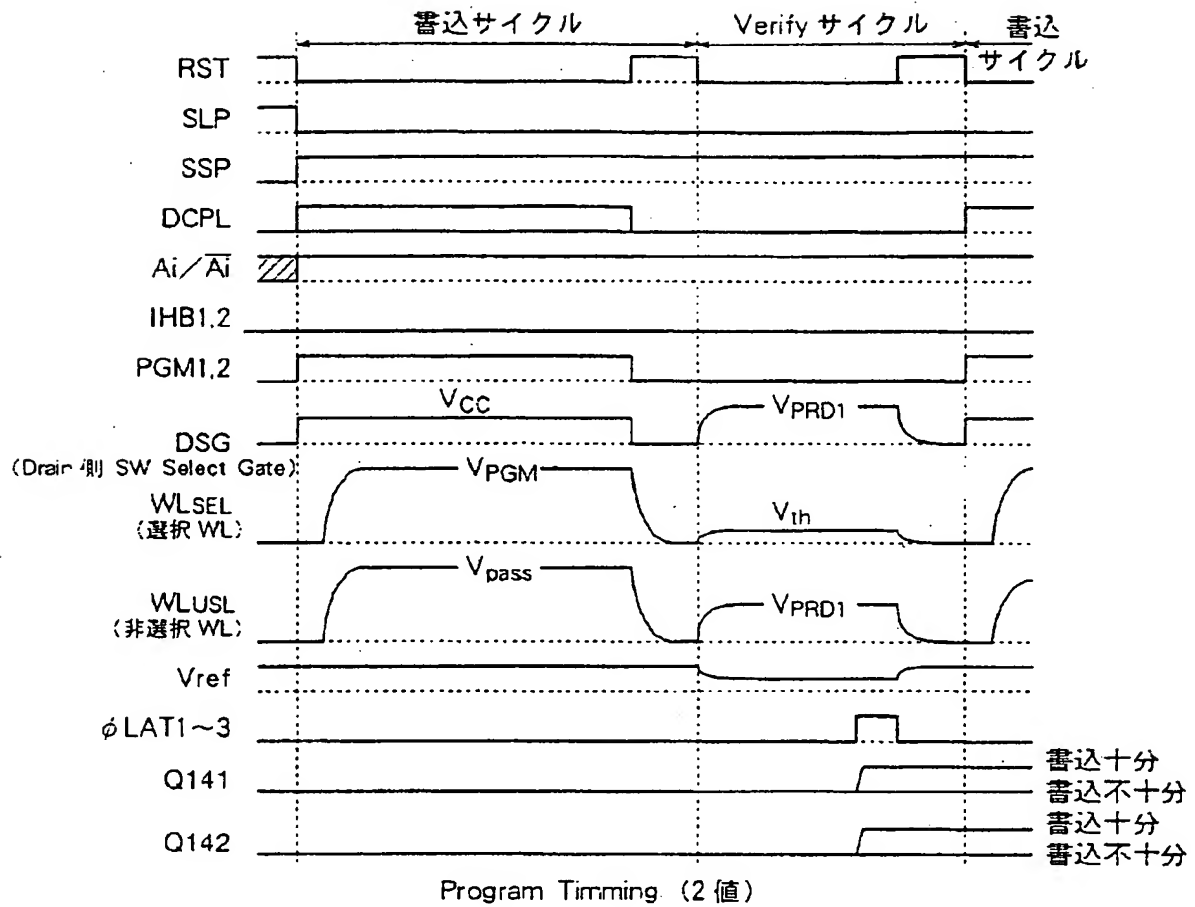


【図9】



Read Timing (2 値)

【図10】



【図13】

